

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年5月1日 (01.05.2003)

PCT

(10) 国際公開番号
WO 03/036714 A1

(51) 国際特許分類: H01L 21/8242, 27/108, 29/78

(21) 国際出願番号: PCT/JP02/10510

(22) 国際出願日: 2002年10月10日 (10.10.2002)

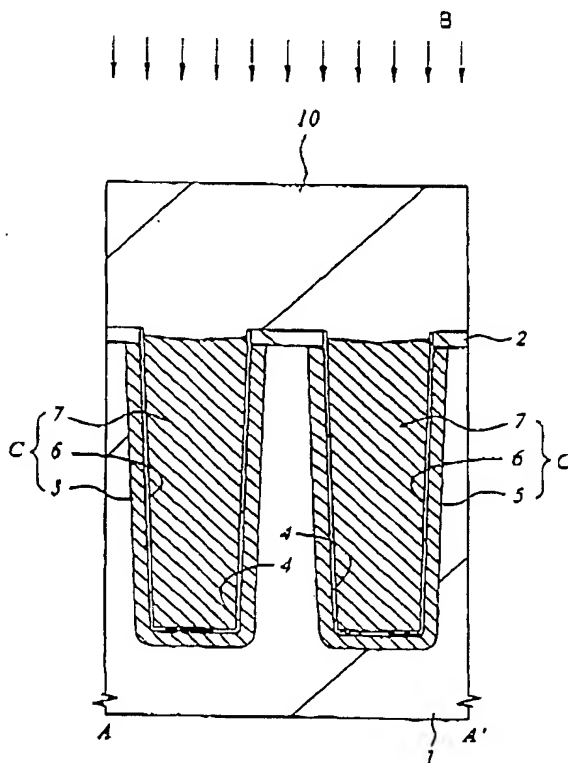
(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2001-326756
2001年10月24日 (24.10.2001) JP(71) 出願人 (米国についてのみ): 木須 昭夫 (KISU, Teruo)
(発明者(死亡)の相続人) [JP/JP]; 〒142-0062 東京都品川区 小山六丁目 1 8 番 1 1 号 Tokyo (JP). 木須 治
子 (KISU, Haruko) (発明者(死亡)の相続人) [JP/JP];
〒142-0062 東京都 品川区 小山六丁目 1 8 番 1 1 号
Tokyo (JP).(71) 出願人 (米国を除く全ての指定国について): 株式会
社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010
東京都千代田区神田駿河台四丁目 6 番地 Tokyo
(JP). 株式会社日立超エル・エス・アイ・システム
ズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒
187-8522 東京都小平市上水本町 5 丁目 2 2 番 1 号
Tokyo (JP).

(72) 発明者: 木須 輝明 (KISU, Teruaki) (死亡).

[続表有]

(54) Title: LONGITUDINAL MISFET MANUFACTURING METHOD, LONGITUDINAL MISFET, SEMICONDUCTOR
STORAGE DEVICE MANUFACTURING METHOD, AND SEMICONDUCTOR STORAGE DEVICE(54) 発明の名称: 縦型 MISFET の製造方法、縦型 MISFET、半導体記憶装置の製造方法および半導体記憶
装置

(57) Abstract: When manufacturing a semiconductor storage device including a longitudinal MISFET having a source region, a channel forming region, a drain region, and a gate electrode formed on a side wall portion of the channel forming region via a gate insulation film, boron which is a reverse-conductive with respect to phosphor diffused in a polycrystal silicon film (10) constituting the channel forming region is counterdoped from the n-type polycrystal silicon film (7) constituting the source region of the longitudinal MISFET to the aforementioned polycrystal silicon film (10). This reduces effective impurities concentration in the polycrystal silicon film (10), thereby realizing a longitudinal MISFET having little leak current (off current).

[続表有]

WO 03/036714 A1

WO 03/036714 A1



(72) 発明書; および

(75) 発明者/出願人 (米国についてのみ): 田畑 剛 (TABATA, Tsuyoshi) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 中里 和郎 (NAKAZATO, Kazuo) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 研究開発本部内 Tokyo (JP). 鯨井 裕 (KUJIRAI, Hiroshi) [JP/JP]; 〒187-8588 東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 茂庭 昌弘 (MONIWA, Masahiro) [JP/JP]; 〒187-8588 東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 松岡 秀行 (MATSUOKA, Hideyuki) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 芳賀 覚 (HAGA, Satoru) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿8丁目1番1号 アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

ソース領域、チャネル形成領域およびドレイン領域と、前記チャネル形成領域の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する縦型MISFETを備えた半導体記憶装置を製造する際、縦型MISFETのソース領域を構成するn型の多結晶シリコン膜(7)からチャネル形成領域を構成する多結晶シリコン膜(10)に拡散するリンとは逆導電型のホウ素を上記多結晶シリコン膜(10)にカウンタードーピングし、多結晶シリコン膜(10)の実効的な不純物濃度を低減することによって、リーク電流(オフ電流)の少ない縦型MISFETを実現する。

